

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 03-008041

(43) Date of publication of application : 16. 01. 1991

(51) Int. CI.

G06F 13/00

(21) Application number : 01-143411

(71) Applicant : FUJITSU LTD

(22) Date of filing : 06. 06. 1989

(72) Inventor : KUMAZAWA TADASHI

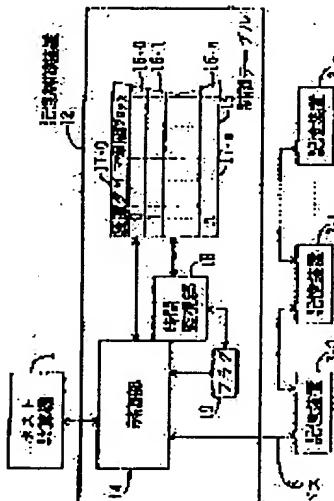
(54) MEMORY CONTROLLING AND SUPERVISORY SYSTEM

(57) Abstract:

PURPOSE: To decrease possibility that an abnormal state is erroneously recognized concerning another request by the conjunction, etc., of input / output operation requests requiring especially long time for processing by providing plural timers, time monitoring part and flag, etc., in a memory control unit.

CONSTITUTION: In a memory control unit 12, timers 17-0 to 17-n and a time monitoring part 18 monitors the passage of time after the reception of the input / output operation request respectively for storage devices 3-0 to 3-n and when the passage of time exceeds a prescribed value and processing is not completed, a flag 19 is set to prescribed busy display. While the flag 19 is set to the busy display, the input / output request to be newly issued is not accepted.

Accordingly, the existent input / output operation request is preferentially processed without being interrupted by the processing of the new request. When it is finished to process the existent request, the flag 19 is reset and operation is turned to a state to accept the new request. Thus, it is possible to decrease the possibility that the abnormal state is erroneously recognized concerning the other request by the conjunction, etc., of the input / output operation requests to require the especially long time for processing. Then, the processing efficiency of a system can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

⑫ 公開特許公報 (A) 平3-8041

⑬ Int.Cl.⁵

G 06 F 13/00

識別記号

301 B

庁内整理番号

8840-5B

⑭ 公開 平成3年(1991)1月16日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 記憶制御監視方式

⑯ 特願 平1-143411

⑰ 出願 平1(1989)6月6日

⑱ 発明者 熊澤 忠志 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1 発明の名称

記憶制御監視方式

2 特許請求の範囲

ホスト計算機(I)から発行される入出力動作要求に従い、該要求に指定する記憶装置(3-0~)に対する所要の制御を実行する④記憶制御装置④において、

フラグ④と、

該記憶装置ごとに、該入出力動作要求の受付後の経過時間を監視し、該経過時間が所定値を越えて、当該入出力動作要求の処理が完了しない場合に該フラグを所定のビジー表示に設定する手段(17-0~、18)とを設け、

該フラグ④に該ビジー表示が設定されている場合には、該ホスト計算機(I)から発行される入出力動作要求の受付を拒否する④ように構成されていることを特徴とする記憶制御監視方式。

3 発明の詳細な説明

(概要)

ホスト計算機から発行される入出力動作要求に従って、指定の記憶装置を制御する記憶制御装置に関し、

・処理時間の特に長い入出力動作要求の幅較等によって、他の要求について異常状態と誤認される可能性を減少するようにした記憶制御監視方式を目的とし、

ホスト計算機から発行される入出力動作要求に従い、該要求に指定する記憶装置に対する所要の制御を実行する記憶制御装置において、フラグと、該記憶装置ごとに、該入出力動作要求の受付後の経過時間を監視し、該経過時間が所定値を越えて、当該入出力動作要求の処理が完了しない場合に該フラグを所定のビジー表示に設定する手段とを設け、該フラグに該ビジー表示が設定されている場合には、該ホスト計算機から発行される入出力動作要求の受付を拒否するように構成する。.

(産業上の利用分野)

本発明は、ホスト計算機から発行される入出力動作要求に従って、指定の記憶装置を制御する記憶制御装置の記憶制御監視方式に関する。

(従来の技術)

第3図は計算機システムの構成例を示すブロック図である。記憶制御装置2は、ホスト計算機1のチャネル装置と接続して指令、報告、データ等の情報を授受し、接続する磁気ディスク記憶装置等の記憶装置3-0, 3-1 ~ 3-nに対して、ホスト計算機1から受け取る要求を実行するための制御を行なうように構成されている。

このために記憶制御装置2の制御部4は、制御テーブル5を持ち、ホスト計算機1から入出力動作要求を受け付けると、制御テーブル5の各記憶装置に対応する項6-0 ~ 6-nの制御ブロック欄に制御情報を格納する。

制御部4は、バス6が空きのときに、入出力動作要求のあった記憶装置を選択して、制御部4と

選択した記憶装置3-0 ~ 3-nとの間で所定の制御信号を授受することにより、その記憶装置で所要の動作を開始させ、例えば読み取り／書き込みヘッドの位置づけ制御を開始させると一旦切り離して他の記憶装置の制御を開始し、ヘッドの位置づけが完了した記憶装置があれば、その記憶装置にバスを占有させてデータ転送を開始するというようにして、ある記憶装置について要求された一連の入出力動作の処理が終了するとホスト計算機に対して所定の完了報告を上げる。

公知のようにホスト計算機1では入出力動作の異常を監視するために、ある記憶装置について入出力動作要求を発行すると、完了までの経過時間を監視する時間監視を開始し、所定時間を経過しても完了しないことを検出すると、割込不成功状態(missing interrupt)として、該当する入出力動作要求を打ち切り、例えば再度入出力要求を発行して試行する等の処理を開始する。

(発明が解決しようとする課題)

前記のように入出力動作が完了しない何らかの異常は、ホスト計算機の時間監視で検出され、この監視はデータ転送を含む通常の一連の入出力動作が正常に完了する場合より十分長く設定された時間(例えば30秒)がとられる。しかし、記憶制御装置につながる記憶装置の数が増加し、又比較的大量のデータを一括して転送するような入出力動作要求が集中した場合等には、制御テーブル5でデータ転送のためにバスの空くのを待っている入出力動作要求に関して、前記の時間監視によって割込不成功状態として処理されるものが生じる可能性があり。そのような状況になると、同時に待ち合わせ中の要求が次々に割込不成功と誤認されることになり易い。

本発明は、前記のように処理時間の特に長い入出力動作要求の幅較等によって、他の要求について異常状態と誤認される可能性を減少するようにした記憶制御監視方式を目的とする。

(課題を解決するための手段)

第1図は、本発明の構成を示すブロック図である。

図は記憶制御監視方式の構成を示し、ホスト計算機1から発行される入出力動作要求に従い、制御部14が該要求に指定する記憶装置3-0 ~ 3-nに対する所要の制御を実行する記憶制御装置12において、フラグ19と、該記憶装置ごとに、該入出力動作要求の受付後の経過時間を監視し、該経過時間が所定値を越えて、当該入出力動作要求の処理が完了しない場合に該フラグを所定のビジー表示に設定する手段であるタイマ17-0 ~ 17-n及び時間監視部18を設け、制御部14はフラグ19に該ビジー表示が設定されている場合には、ホスト計算機1から発行される入出力動作要求の受付を拒否する。

(作用)

この記憶制御装置は、ホスト計算機の前記時間監視より適当に短い監視時間を設定して、前記の

ようにして待ち時間の長い入出力動作要求のあることを検出すると、フラグ19をセットしておき、フラグ19がビジー表示にセットされている間は、その間に新たに発行される入出力要求を受け付けず、従って既存の入出力動作要求が新たな要求の処理に割り込まれることなく優先的に処理される。このようにして、例えば既存要求を処理し終わるとフラグをリセットするようにして、新たな要求を受け付ける状態に復旧する。

以上のように異常に長い時間待たされる条件が少なくなり、処理待ち時間が長いために誤って割込不成功として処理される入出力動作要求を減少することができる。

〔実施例〕

第1図において、制御テーブル15には従来と同様の記憶装置3-0～3-nに対応する項16-0～16-nに、制御ブロック欄の他にタイマ17-0～17-nの欄を設ける。制御部14は、ホスト計算機1からの入出力動作要求を受け付けると、対応する制御情報

を、従来のように制御ブロック欄に格納し、バス6が空き状態のときに、制御テーブル15に要求のある記憶装置を選択して、動作を開始させる処理を実行するが、入出力動作要求を受け付けた時、以下に述べるようにして時間監視を開始する。

即ち、制御テーブル15のタイマ17-0～17-nは例えば初め0にクリアしておき、入出力動作要求を受け付けると、当該記憶装置に対応する欄に例えば正整数の初期値を設定する。

このタイマの値は以下に述べるように時間監視部18によって処理されるが、又、当該記憶装置に対する入出力動作の一連の処理が完了した場合には、制御部14が該当するタイマを再び0にクリアする。

時間監視部18は一定時間ごとに時計で起動するようにし、制御テーブル15のタイマ17-0～17-nを順次処理し、それぞれ値が0でなければ-1し、何れかのタイマを-1した結果0になった場合には、フラグ19を例えばオンにしてビジー表示をする。なお、フラグ19はオフに初期設定れているも

のとする。

制御部14はホスト計算機1から入出力動作要求が発行されたときフラグ19を見て、フラグ19がオフの場合のみその入出力動作要求を受け付けるものとし、フラグ19がビジー表示になっている場合には、例えばいわゆるデバイスビジーの報告をホスト計算機1に返すことによって、入出力動作要求の受付を拒否する。この状態は、後述のようにして時間監視部18から通知されたとき、いわゆるデバイスエンドの報告をホスト計算機1に上げることによって解除し、入出力動作要求を受け付ける状態になる。

第2図は、時間監視部18による以上の時計起動による処理の流れを示し、時間監視部18が時計で起動すると、処理ステップ20で制御変数iを0にして、処理ステップ21でi番のタイマ17-iの値が0か識別し、0であれば対応する記憶装置3-iは時間監視の対象でないので、処理ステップ22で識別して、n番まですべて処理していれば処理ステップ27に進み、未処理があれば処理ステップ23

でiを+1して処理ステップ21に戻る。

前記のように、記憶装置3-iに対する入出力動作要求を受け付けたときに、制御部14が所定値をタイマ17-iにセットして経過時間を監視するようにしてあるので、タイマの値が0でなければ処理ステップ24に進み、タイマ17-iの値を-1し、処理ステップ25でタイマ17-iの値が0になったかテストし、0になっていたければ処理ステップ22に分岐して前記のように処理する。

タイマ17-iの値を-1した結果0になれば、要求受付以後の経過時間が所定時間を越えたことを示すので、処理ステップ26でフラグ19をオンにセットして処理ステップ22に進む。

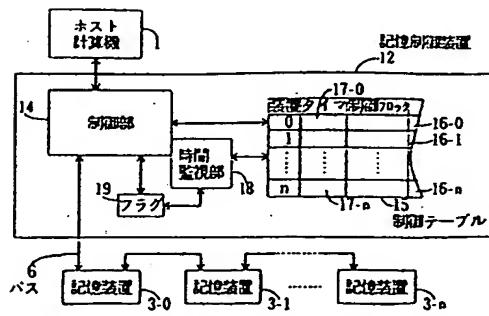
このようにして、すべてのタイマの処理を終わると、次に処理ステップ27でフラグ19をテストし、オフであれば処理を終わるが、オンであれば処理ステップ28で要求の処理が未完了の記憶装置を制御テーブル15の各制御ブロック欄の所定内容で識別し、要求処理未完了の装置数をカウントする。その数が所定数rより多ければ処理を終わり、r

以下であれば処理ステップ29でフラグ19をオフにリセットし、制御部14にフラグをオフにしたこと通知して処理を終わる。

r は例えば0にして、フラグ19をオンにしたときは既存要求がすべて処理完了するまで新要求を受け付けないようにする。又 r を適当な小さい値にして、未完了の既存要求が少なくなれば、新要求の受付を再開するようにしてもよい。

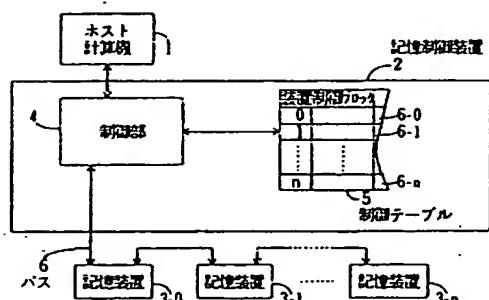
ホスト計算機における監視時間が例えば30秒程度の場合、以上による記憶制御装置の監視時間を例えば10秒程度に設定すれば、10秒以上待って完了しない要求があると、以後新たな要求の受付が無くなってしまうが既存要求のみが処理されるので、新要求の処理の割り込んで既存要求の処理が更に遅らされる等によって、待ち合わせが更に累積することが無く、比較的早く既存要求の処理を進めることができる。

なお、以上説明した減算による時間監視の方式は一例であり、加算その他の方式によって本発明を実施することも容易にできる。



本発明の構成を示すブロック図

第1図



従来の構成例を示すブロック図

第3図

〔発明の効果〕

以上の説明から明らかなように本発明によれば、ホスト計算機から発行される入出力動作要求に従って、指定の記憶装置を制御する記憶制御装置において、処理時間の特に長い入出力動作要求の軽減等によって、他の要求について異常状態と誤認される可能性を減少して、システムの処理効率を向上するという著しい工業的効果がある。

4 図面の簡単な説明

第1図は本発明の構成を示すブロック図、

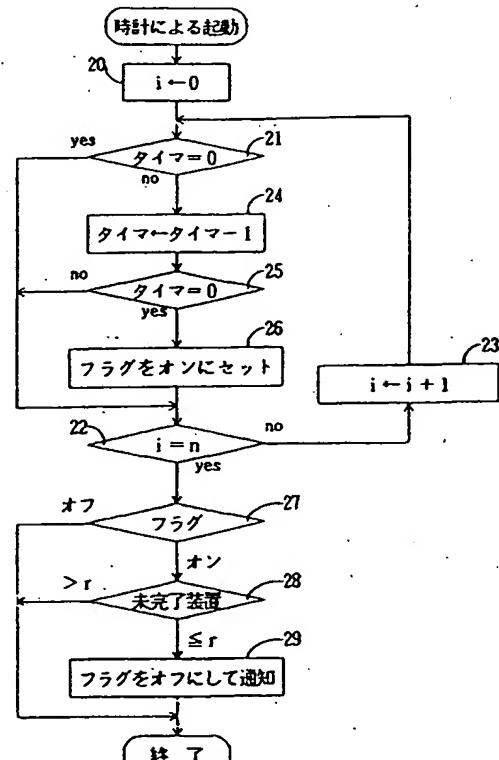
第2図は本発明の処理の流れ図、

第3図は従来の構成例を示すブロック図である。

図において、

1はホスト計算機、2、12は記憶制御装置、3-0~3-nは記憶装置、4、14は制御部、5、15は制御テーブル、6-0~6-n、16-0~16-nは項、17-0~17-nはタイマ、18は時間監視部、19はフラグ、20~29は処理ステップを示す。

代理人 弁理士 井桁 貞一



本発明の処理の流れ図

第2図